

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-100175

(43)Date of publication of application : 13.04.2001

(51)Int.Cl. G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 11-274979 (71)Applicant : SANYO ELECTRIC CO LTD
TOTTORI SANYO
ELECTRIC CO LTD

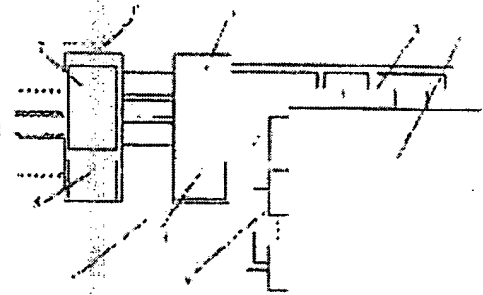
(22)Date of filing : 28.09.1999 (72)Inventor : HIRAGA SATORU
NOJIRI YUTAKA

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve display quality by surely performing a power source start-up sequence (initialization of a scanning circuit).

SOLUTION: This liquid crystal display device, wherein it is provided with a liquid crystal panel 4 with a scanning circuit 2 and a signal circuit 3, and a signal processing circuit 5 for processing signals to be supplied to each said circuit, and the signal processing circuit 5 executes a power source start-up sequence for initializing the scanning circuit 2 at the time of starting up the power source, is configured so that a signal receiving circuit 6 for restoring an image signal and a control signal, which are processed into a small amplitude interface and supplied, into an original state and supplying them to the signal processing circuit, and also the signal processing circuit 5 starts the power source start-up sequence after the operation of the signal receiving circuit 6 has been stabilized.



LEGAL STATUS

[Date of request for examination] 20.05.2002

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

3515443

[Date of registration]

23.01.2004

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-100175
(P2001-100175A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl. ⁷	識別記号	F I	キーワード* (参考)
G 0 2 F 1/133	5 0 5	C 0 2 F 1/133	5 0 5 2 H 0 9 3
G 0 9 G 3/20	6 7 0	C 0 9 G 3/20	6 7 0 D 5 C 0 0 6
3/36		3/36	5 C 0 8 0

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号 特願平11-274979

(22) 出願日 平成11年9月28日 (1999.9.28)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方3丁目201番地

(72) 発明者 平賀 悟

鳥取県鳥取市南吉方3丁目201番地 鳥取

三洋電機株式会社内

(74) 代理人 100109368

弁理士 稲村 悦男 (外1名)

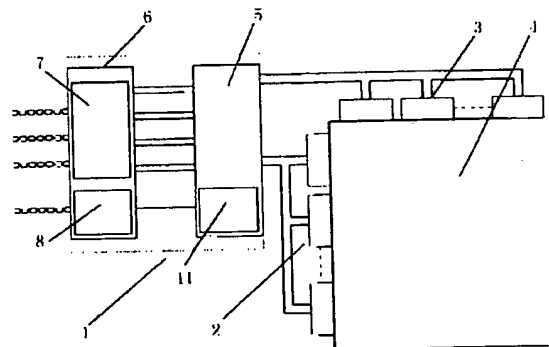
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 電源立ち上げ（走査回路の初期化）シーケンスを確実に行ない、表示品位を高めることを課題とする。

【構成】 走査回路2と信号回路3を備える液晶表示パネル4と、前記各回路へ供給する信号の処理を行なう信号処理回路5とを備え、前記信号処理回路5は、電源立ち上げ時に前記走査回路2の初期化を行なうための電源立ち上げシーケンスを実行する液晶表示装置において、小振幅インターフェイス化処理されて供給される画像信号や制御信号を元の状態に復元して前記信号処理回路に供給する信号受信回路6を設けるとともに、前記信号処理回路5は、この信号受信回路6の動作が安定してから前記電源立ち上げシーケンスを開始する構成とした。



【特許請求の範囲】

【請求項1】 走査回路と信号回路を備える液晶表示パネルと、前記各回路へ供給する信号の処理を行なう信号処理回路とを備え、前記信号処理回路は、電源立ち上げ時に前記走査回路の初期化を行なうための電源立ち上げシーケンスを実行する液晶表示装置において、小振幅インターフェイス化処理されて供給される画像信号や制御信号を元の状態に復元して前記信号処理回路に供給する信号受信回路を設けるとともに、前記信号処理回路は、この信号受信回路の動作が安定してから前記電源立ち上げシーケンスを開始する構成としたことを特徴とする液晶表示装置。

【請求項2】 前記信号処理回路は、前記信号受信回路から供給されるクロック信号をカウントしてそれが所定値に達したときに信号受信回路の動作が安定したと判定することを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記信号処理回路は、前記信号受信回路のPLL回路がロックしたときに信号受信回路の動作が安定したと判定することを特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記信号処理回路は、タイマーによって電源投入から所定時間経過したことを計時したときに信号受信回路の動作が安定したと判定することを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電源立ち上げ時に走査回路を初期化するための電源立ち上げシーケンスを行なう液晶表示装置に関する。

【0002】

【従来の技術】走査回路と信号回路を備える液晶表示パネルを駆動する際、電源立ち上げ時の走査回路（シフトレジスタ）の状態は不定であるため、電源立ち上げ直後にそのまま動作させると、表示画面に一瞬ランダムな横線が走る、過電流が流れるという問題が有る。そのため、電源立ち上げ直後、例えば図5に示すように、走査回路のシフトレジスタをシフトするクロックを所定期間（最低1フレーム）入力して初期化状態とし、初期化作業が終わるまでの期間、走査回路の出力をマスクしておく電源立ち上げ（走査回路の初期化）シーケンスが実行される。

【0003】ところで、外部機器（パソコン等）から液晶表示装置に供給する信号線数の削減やEMI雑音の低減を図るために、信号を並列—直列変換して小振幅で送るインターフェイスが採用されており、このインターフェイスに対応した信号受信回路を内蔵した液晶表示装置が製品化されている。

【0004】

【発明が解決しようとする課題】上記のように小振幅インターフェイス対応の液晶表示装置においては、例えば

図3に示すように、電源入力後、最初の信号が信号受信回路に与えられてからしばらくの間、信号受信回路（特にその中のPLL回路）の動作が安定しないため、元の状態に復元されて信号受信回路から出力された信号の状態が所定期間不安定になる。この不安定出力によって信号処理回路が正常に動作することができず、上記のような電源立ち上げシーケンスが正常に働かない場合が生じた。

【0005】そこで本発明は、上記の点を考慮し、電源立ち上げ（走査回路の初期化）シーケンスを確実にこなうことを課題とする。また、画面の表示品位を高めることを課題とする。

【0006】

【課題を解決するための手段】本発明の液晶表示装置は、請求項1に記載のように、走査回路と信号回路を備える液晶表示パネルと、前記各回路へ供給する信号の処理を行なう信号処理回路とを備え、前記信号処理回路は、電源立ち上げ時に前記走査回路の初期化を行なうための電源立ち上げシーケンスを実行する液晶表示装置において、小振幅インターフェイス化処理されて供給される画像信号や制御信号を元の状態に復元して前記信号処理回路に供給する信号受信回路を設けるとともに、前記信号処理回路は、この信号受信回路の動作が安定してから前記電源立ち上げシーケンスを開始する構成としたことを特徴とする。

【0007】本発明の液晶表示装置は、請求項2に記載のように、請求項1記載の液晶表示装置において、前記信号処理回路は、前記信号受信回路から供給されるクロック信号をカウントしてそれが所定値に達したときに信号受信回路の動作が安定したと判定することを特徴とする。

【0008】本発明の液晶表示装置は、請求項3に記載のように、請求項1記載の液晶表示装置において、前記信号処理回路は、前記信号受信回路のPLL回路がロックしたときに信号受信回路の動作が安定したと判定することを特徴とする。

【0009】本発明の液晶表示装置は、請求項4に記載のように、請求項1記載の液晶表示装置において、前記信号処理回路は、タイマーによって電源投入から所定時間経過したことを計時したときに信号受信回路の動作が安定したと判定することを特徴とする。

【0010】

【発明の実施の形態】以下本発明の実施例について図面を参照して説明する。図1は、本発明が適用される液晶表示装置（この例ではTFTタイプの液晶表示装置）の概略的なブロック図を示している。図1に示すように、この液晶表示装置1は、所定数のゲートドライバから成る走査回路2と所定数のソースドライバから成る信号回路3を周辺部に備える液晶表示パネル4と、前記各回路2、3へ供給する信号の処理を行なう信号処理回路5

と、小振幅インターフェイス化処理されて供給される画像信号や制御信号を元の状態に復元して前記信号処理回路5に供給する信号受信回路6とを備えている。

【0011】信号処理回路5は、信号受信回路6から与えられる画像信号や制御信号（クロック信号を含む）に基づいて、走査回路2や信号回路3に所定の駆動用信号を供給するもので、ASIC化されて1チップの集積回路の形態をとっている。

【0012】信号受信回路6は、信号送信回路（図示せず）と少数の信号線を介して接続される。この信号送信回路は、パーソナルコンピュータ等の周辺機器に組み込まれたグラフィックコントローラからの画像信号や制御信号等を直列化し、必要に応じて符号化し、0.5～2.5V程度の小振幅化処理して送信する。信号受信回路6は、このような並列—直列変換して小振幅で送信される信号を直列—並列化し、必要に応じて復号化して出力する回路7と、入力されるドットクロック信号CLKを所定の位相にロックするPLL回路8を含んでいる。このような直列化／小振幅化インターフェイスを介して信号を授受するので、信号線の削減とEMI雑音の低減を図ることができる。

【0013】信号処理回路5は、図5に示すような電源立ち上げ（走査回路の初期化、特にそのシフトレジスタの初期化）シーケンスを実行するため、図2に示すように、初期化部10を内蔵しているとともに、信号受信回路6の動作が安定したか否かを判定して安定したと判定するまでは初期化部10をリセット状態とする判定部11を内蔵している。この判定部11は、PLL回路8が出力するクロック信号CLKをカウントする所定ビットのカウンタ9によって構成している。

【0014】PLL回路8の出力クロック信号は、0Hzから所定周波数、この例では40MHzへ徐々に周波数が上がっていき、所定期間T0（通常10秒以下）が経過した後に安定する。この期間T0の間は、信号受信回路6の出力が不安定な状態となる。したがって電源が投入されると、判定部11は、図4に示すように、カウンタ9を0にリセットした後、カウンタ9が期間T0よりも若干長い期間T1のカウントを終了するまでの間、初期化部10をリセット状態に保持する。PLL回路8の出力クロック信号CLKは、40MHzを超えること（25ns以下の周期になること）はないので、カウンタ9として19ビットカウンタを用いれば、 $2^{19} = 13.1\text{ms}$ 以上の期間T1をカウントすることができる。カウンタ9がカウントを終了すると、その出力に基づいて初期化部10のリセット状態が解除され、図5に示す電源立ち上げシーケンスが実行される。このシーケンスによって、走査回路2のシフトレジスタが所定期間（この例では3フレーム期間）シフトを繰り返されて初期状態に保持されることにより、不特定な状態に保持されることに起因する表示不良、すなわち、画

面にランダムな横線が走ることを防止することができ、電源立ち上げからこの電源立ち上げシーケンスが終わるまでの間、走査回路2の出力は、信号処理回路5が出力する信号OEによってマスクした状態（強制的に表示をOFFにする状態）に保持される。

【0015】信号受信回路6の動作が安定したか否かの判定を行なう判定部11は、PLL回路8が出力するクロック信号をカウンタ9によってカウントする上述した第1の構成以外にも以下の第2、第3の構成とすることもできる。すなわち、PLL回路8として、PLLがロックした状態を信号出力する機能を有するものを用いた場合に、このPLLロック出力によって信号受信回路6の動作が安定したことを判別し、初期化部10のリセット状態を解除する構成（第2の構成）とすることができる。また、電源投入からPLL回路8がロックするまでの最大期間T2を計時して出力するタイマーを設け、タイマーが期間T2を計時するまでの間、初期化部10をリセット状態にしておく構成（第3の構成）とすることもできる。

【0016】第2の構成は、PLL回路8がPLLロック状態を信号出力する機能を持っていない場合は採用できない、また、第3の構成は、電源投入から信号入力されるまでの期間T3が接続した外部機器の機種によって大幅に相違するので、期間T3の設定が困難であるなどの点で、第1の構成よりも若干使い勝手が悪いが、これら3つの内から状況に応じて最適なものを選択すれば良い。

【0017】

【発明の効果】以上のように本発明によれば、走査回路の初期化を信号受信回路の動作が安定してから行なうようにしているので、初期化動作を安定させることができ、表示品位の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】同実施例の判定部の回路構成例を示す回路図である。

【図3】同実施例のタイミングチャート図である。

【図4】同実施例の動作を説明するためのフローチャートである。

【図5】同実施例の動作を説明するためのフローチャートである。

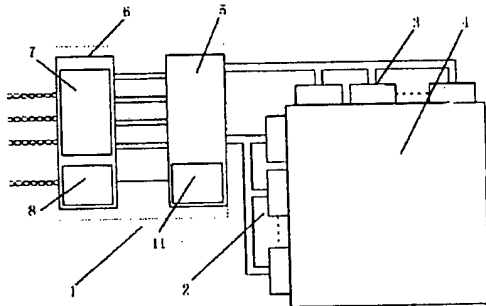
【符号の説明】

- 1 液晶表示装置
- 2 走査回路
- 3 信号回路
- 4 液晶表示パネル
- 5 信号処理回路
- 6 信号受信回路
- 8 PLL回路
- 9 カウンタ

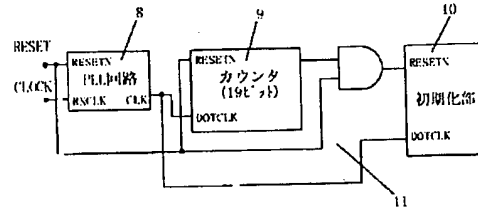
10 初期化部

11 判定部

【図1】

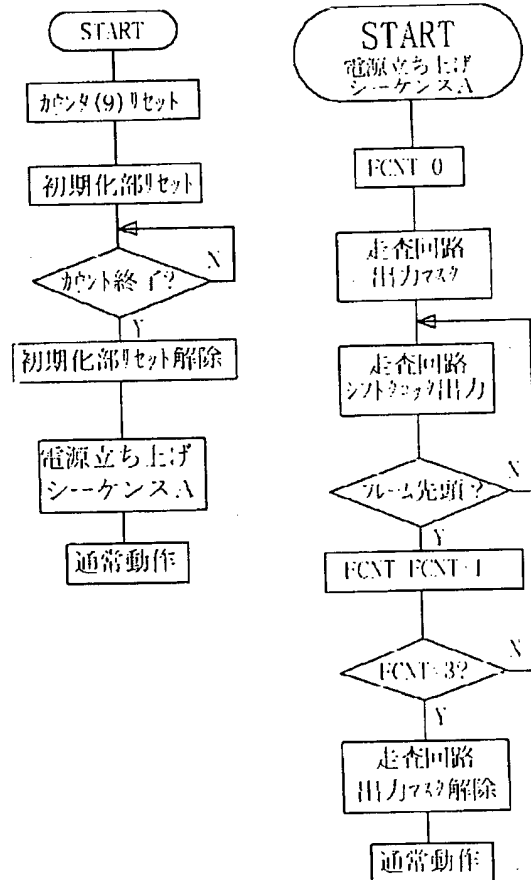
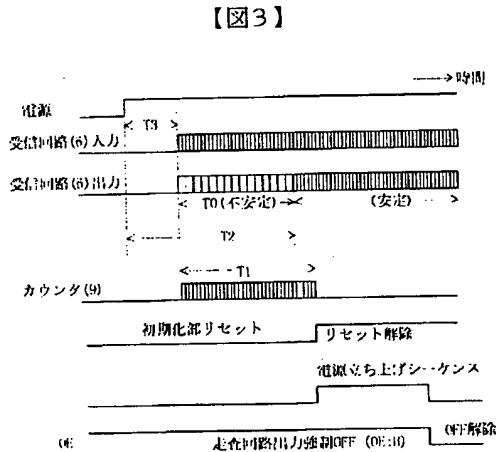


【図2】



【図4】

【図5】



フロントページの続き

(72)発明者 野尻 豊
鳥取県鳥取市南吉方3丁目201番地 鳥取
三洋電機株式会社内

Fターム(参考) 2H093 NA06 NC01 NC21 NC27 NC49
NC59 ND48 ND60
5C006 AF65 AF67 BB11 BB16 BF16
BF29 FA32 FA46
5C080 AA10 BB05 DD09 DD12 JJ02
JJ04 JJ07